

FETCH 2012

UN MODÈLE DE FONCTIONNEMENT SPMD À BASE D'IPS

Jean-Luc Dekeyser

LIFL, DaRT, INRIA Lille Nord Europe, Lille1

Rabie Ben Atitallah

LAMIH, DaRT, INRIA Lille-Nord Europe, UVHC

1



DART ÉVOLUE...

- FETCH 08, 09 et 10
 1. Array-OL to SystemC
 2. MARTE compliant et MDE
 3. Dynamicité
 - Modèle d'exécution à base de thread
 - OpenCL
 - Automate de Mode
 - MultiCoeurs
 - FPGA Reconfigurable: le projet ANR **Famous**
 4. FETCH 2011: Machine MPP SIMD on chip (à la MasPar2 machine à 65000 procs)
- Aujourd'hui: un nouveau défi matériel

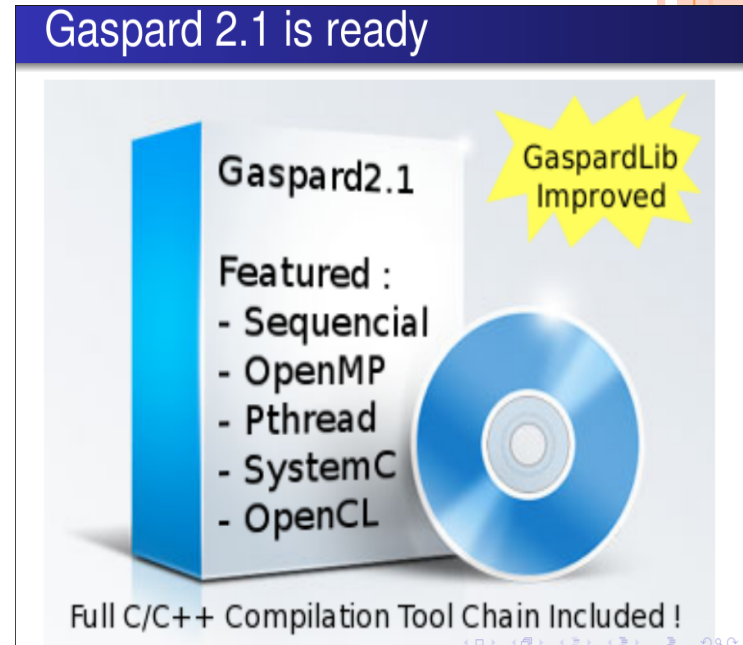
Langage et Architecture parallèles

FPGA

SPMD

Reconfiguration dynamique

Modèle d'exécution dynamique

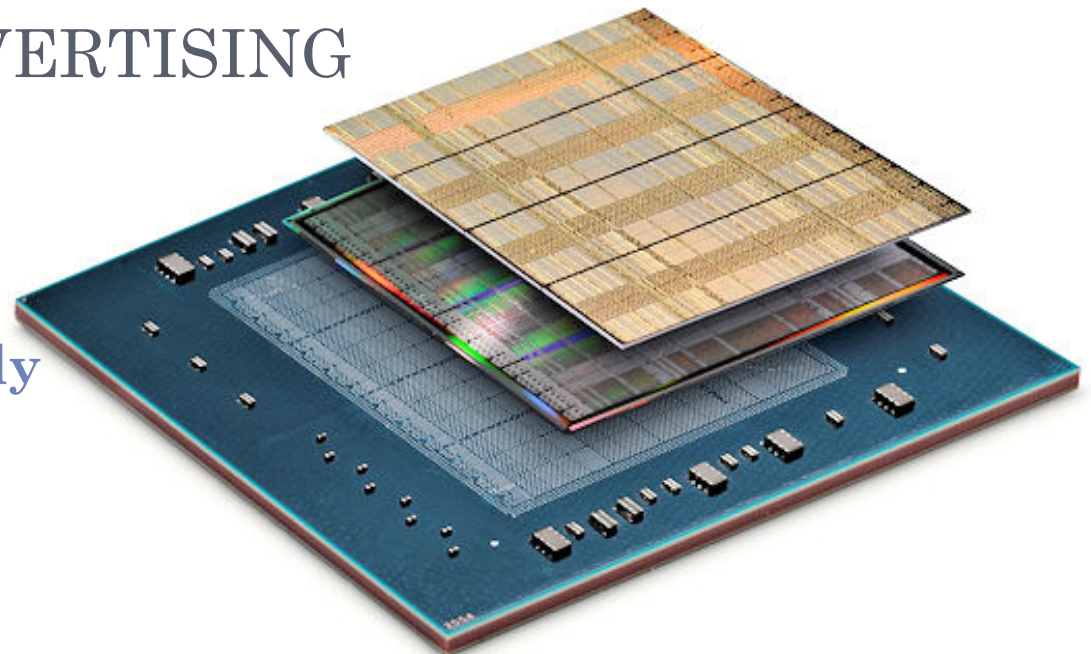


3D ET FPGA

- One of the most promising evolutions are 3D
 - 3D Stacked Integrated Circuits (3D SICs),
 - two or more conventional 2D circuits stacked
- Released by the leading FPGA manufacturer Xilinx (FPGA family Virtex7).

XILINX VIRTEX7 ADVERTISING

Xilinx 2.5D technology
near-cousin to 3D assembly

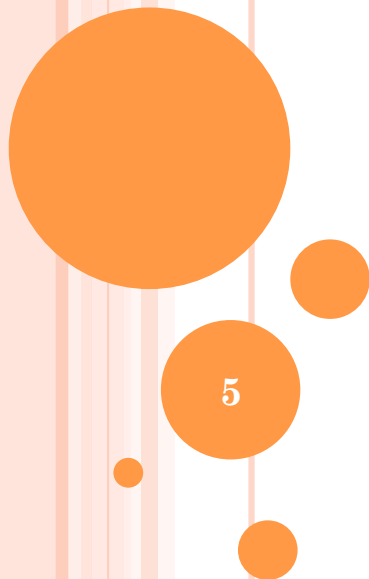


MPP ON CHIP IS TODAY!!!

- The four active FPGA tiles are 28nm
- 10,000 connections between each tile
- two million logic gates are equivalent to about 20 million ASIC gates
- a live demo
 - **3600** 8-bit picoBlaze soft processors running simultaneously
 - The processors were delivering 180,000 MIPS (180 GIPS)
 - While the FPGA consumed just under 20W.

LA SUITE DU GDR SOC-SIP À LYON....

Juin 2011

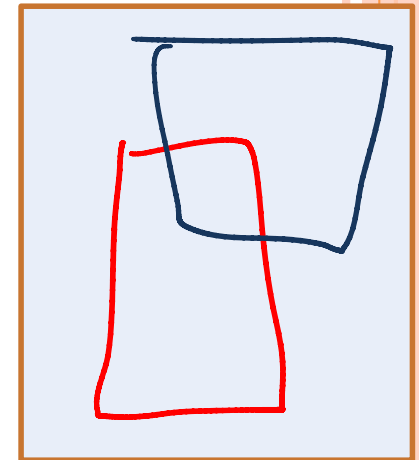


VERS LE MASSIVEMENT RECONFIGURABLE....

- Le nouveau défi des années 2010
 - la dynamicité du calcul parallèle**
 - Forte densité d'intégration
 - Reconfiguration matérielle dynamique à la volée
http://www.xilinx.com/support/documentation/white_papers/wp375_HPC_Using_FPGAs.pdf
- Faire varier l'architecture en fonction de la dynamicité de l'algorithme pendant son exécution
- **Du matériel optimisé au moment où on en a besoin**
- **Maitriser** (électroniciens) et **modéliser** (informaticiens).

QUESTIONS?

- Qu'attend-on d'un modèle massivement parallèle sur archi reconfigurable dynamique?
 - Nœud dynamique
 - Topologie dynamique
- Modèle de reconfiguration parallèle (data parallel)
 - On ne va pas reconfigurer un nœud à la fois!!!!
- Modèle à sémantique du processeur virtuel
 - Pas de tableau et indice mais
 - Des nœuds et des échanges entre nœuds
 - Notion de bloc ensembliste
 - Gérer la communication et l'activité
- Architecture hétérogène (multi hétérogène par blocs)



MASSIVEMENT PARALLÈLE ET DYNAMICITÉ!

- Un pool de nœuds(+100)
 - Globalement homogène (vue SPMD)
 - Localement hétérogène (des IPs)
- Une gestion dynamique parallèle
 - Reconfiguration par bloc ou sous bloc
- Réseaux de communication
 - Dynamique
 - Statique à reconfiguration dynamique

UN NŒUD DYNAMIQUE

○ TOUT EST IP

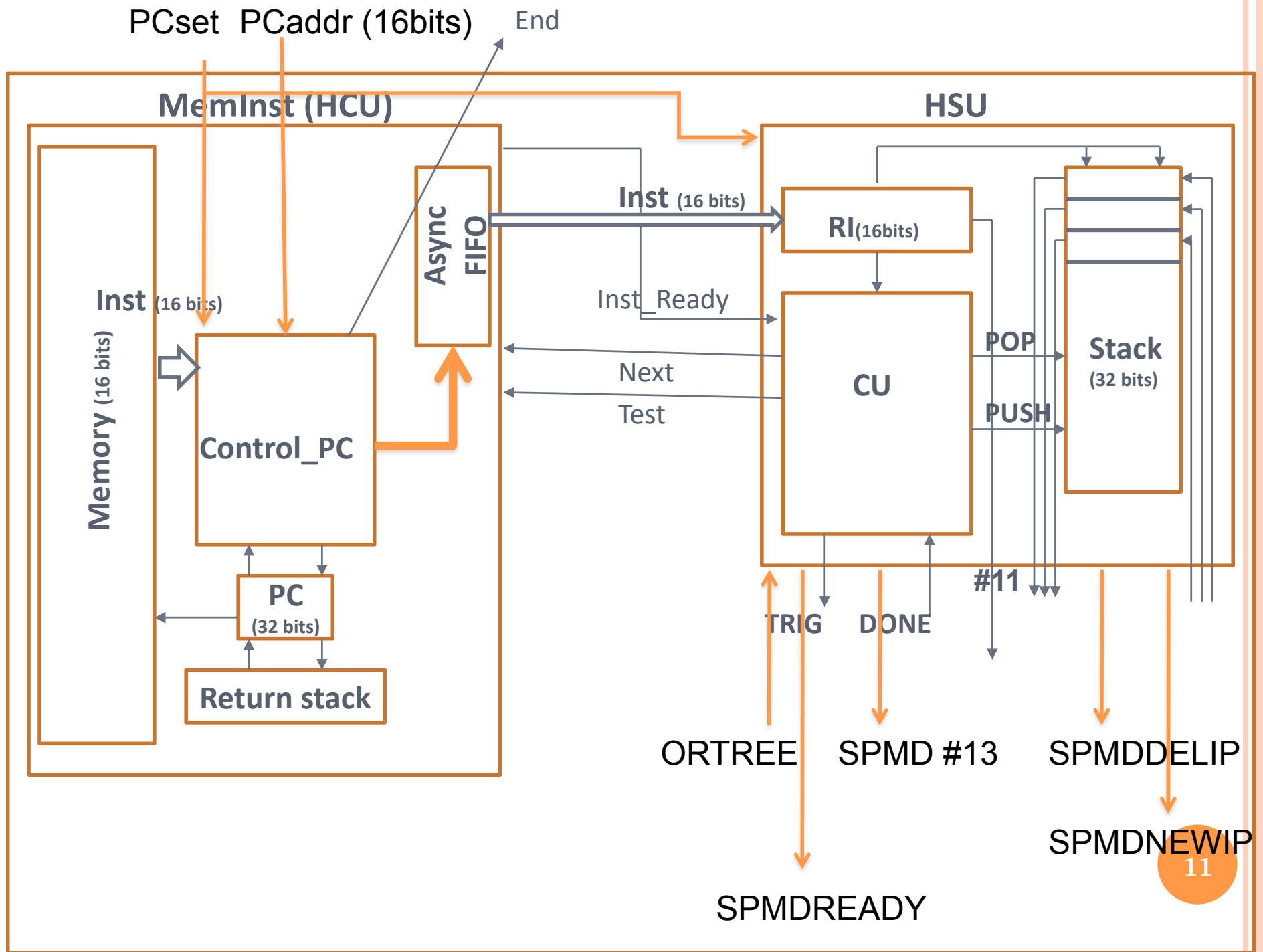
- On choisit son architecture en fonction de l'application
 - Integer, float, FFT....
- Il faut pouvoir
 - Déclencher un IP
 - Envoyer et recevoir des data de cet IP
 - Savoir quand il a fini
 - Remplacer l'IP par un autre

○ Un nœud unique autant pour

- Le contrôle du MPP
- L'élément du nœud MPP

LE PROCESSEUR HOMADE

- Un processeur qui ne fait rien ! Ou presque ;-)
- Un jeu d'instruction Hyper réduit
- Un assembleur dynamique couplé à la configuration dynamique
 - Un nouveau challenge en terme de génie logiciel et en terme d'architecture
- Des facilités pour le broadcast SPMD et le OR-Tree



IP LIB

- Common ALU
- Floating point
- SPMD
 - Activity management

- Signal processing
- Video processing
-

INSTRUCTION SET 3

- #----- Immediate values
- # 8-, 24-, et 32-bits immediate values
- LIT8 %8 = 0b0010_0000 %p
- LIT24 %24 = 0b0010_0001 %8h %n %16l
- LIT32 %32 = 0b0010_0010 %n %16h %n %16l

3 + 7

- #----- Control flow
- # 000_xxx_yy_yyyy_yyyy
- # (max of) 8 control flow instructions, xxx=000 to 111
- BR %10 = 0b000_000 %p # relative
- BZ %10 = 0b000_001 %p
- BNZ %10 = 0b000_010 %p
- BA %32 = 0b000_011 0b00_0000_0000 %n %16h %n %16l # absolute
- CALL %32 = 0b000_100 0b00_0000_0000 %n %16h %n %16l # absolute
- RET = 0b000_101 0b00_0000_0000
- END = 0b000_110 0b00_0000_0000 # local end of SPMD call

10 + 1

- #----- SPMD call
- # 8192 possible functions
- SPMD %13 = 0b001 %p

11 + 1 (2048)

- #----- IP instructions
- # 1_xx_yy_iii_iiii_iiii
- # (max of) 2048 IP, iii_iiii_iiii=00...000 to 11...111
- IP %2 %2 %11 = 0b1 %p1 %p2 %p3 # #pop #push #inst

11 + 2 + 1 = 14 INSTRUCTIONS

- #----- Dynamic IP
- # 0010_0011_*
- # newip bit-spmd #pop #push #inst @bitstream
- NEWIP %1 %2 %2 %11 %32 = 0b0010_0011
0b001 %p1 %p2 %p3 \ %n %p4 %n %16h5 %n
%16l5
- DELIP %1 %10 = 0b0010_0011 0b010
0b0_0000 %n 0b0000_0 %p # #inst
- #----- Misc.
- HLT = 0b0001_0100_0000_0000 # global halt,
ACU only

SYNCHRONOUS COMMUNICATION ASYNCHRONOUS COMPUTATION : SCAC!!!!

- Extension du modèle de la MasPar2
 - Load/store sont désynchronisés
 - On fait la même chose pour les instructions SPMD et les IPs
 - Le Or-Tree pour les barrières de synchro
 - Séparation du calcul et des communication (IPs com)
- Régularité des communications sous contrôle de l'activité
- Vision maitre/esclave:
 - soit un seul flot d'exécution du maître
 - soit des flots d'exécution des esclaves activés en mode SPMD

RECONFIGURATION DYNAMIQUE ET SCAC

- En mode SPMD par bloc (en fonction de l'activité)
 - Le même modèle d'exécution pour contrôler la reconfiguration dynamique
 - Reconf local du nœud: exécution d'une instruction NEWIP en local
 - Reconf SPMD du nœud : instruction NEWIP en mode SMPD
 - Reconf du nœud maitre : instruction NEWIP
- Un proto de modèle d'exécution sur Xilinx SCAC